

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-102748

(43)Date of publication of application : 15.04.1997

(51)Int.Cl.

H03M 13/22
G11C 7/00

(21)Application number : 07-257389

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 04.10.1995

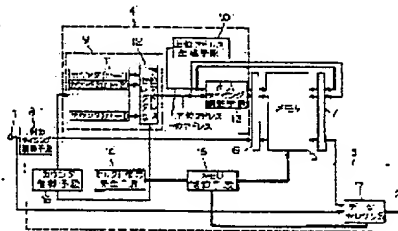
(72)Inventor : OUCHI MIKIHIRO
FUJIWARA SEIJI
HAYASHI TAKAYA

(54) INTERLEAVE CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an interleave circuit which can use a least necessary memory area by utilizing the address generation method.

SOLUTION: A control timing adjustment means 5 adjusts the timing to control a memory 3 and an address generation means 4. Based on this control timing, the means 4 outputs a read address and then a write address having the value as the read address to the memory 3. Thus the interleave is attained in a least necessary memory area. As a result, the memory area can be reduced down to half or less in comparison with a conventional interleave circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

特開平9-102748

(43)公開日 平成9年(1997)4月15日

(51) Int.Cl.⁸

識別記号

片内整理番号

FI

技術表示箇所

H 0 3 M 13/22

H O 3 M 13/22

G 1 1 C 7/00

G 1 1 C 7/00

3 1 2

3 1 2A

審査請求 未請求 請求項の数5 O.L (全 11 頁)

(21)出願番号

特願平7-257389

(22) 出題日

平成7年(1995)10月4日

(71)出題人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 發明者 大内 幹博

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 藤原 誠司

香川県高松市古新町8番地の1 松下寿電
子工業株式会社内

(72)發明者 林 貴也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 滝本 智之 (外1名)

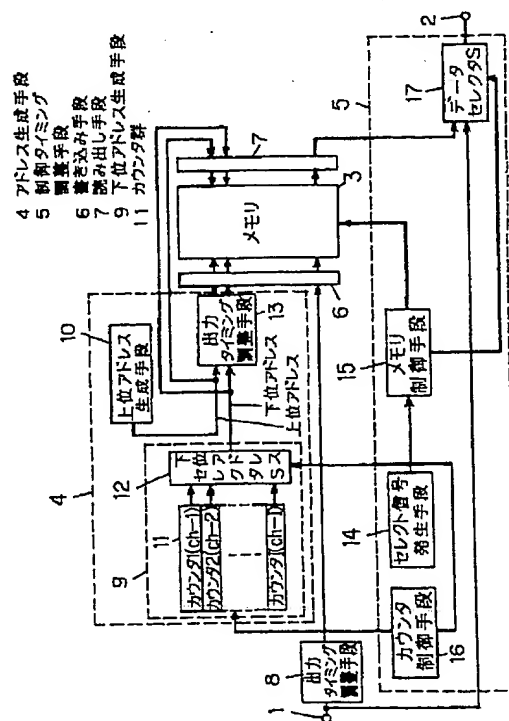
(54)【発明の名称】 インターリーブ回路

(57) 【要約】

【課題】 アドレス生成法を工夫することにより、必要最小限のメモリ領域のみを使用するインターリーブ回路を提供する。

【解決手段】 制御タイミング調整手段5がメモリ3とアドレス生成手段4を制御するタイミングを調整し、その制御タイミングに従って、アドレス生成手段4が、まず読み出しアドレスをメモリ3に出力し、その後、同じアドレス値を有する書き込みアドレスをメモリ3に出力することにより、必要最小限のメモリ領域でインターリーブを行うことができる。

【効果】 従来のインターリーブ回路と比較して、使用するメモリ領域を半分以下に削減するインターリーブ回路を提供できる。



【特許請求の範囲】

【請求項1】 インターリーブすべきバイト間隔をNバイト、インターリーブの深さをIとすると、デジタル信号を読み書き可能なメモリと、前記メモリの $(N/2) \cdot (I-1)$ バイト以上 $N \cdot I$ バイト未満の領域にアクセスするアドレスを生成するアドレス生成手段と、前記メモリ及び、前記アドレス生成手段を制御するタイミングを調整する制御タイミング調整手段とを備えたことを特徴とするインターリーブ回路。

【請求項2】 アドレス生成手段は、 $(N/2) \cdot (I-1)$ バイトのメモリ領域のみにアクセスするアドレスを生成することを特徴とする請求項1記載のインターリーブ回路。

【請求項3】 アドレス生成手段は、長方形のメモリ領域を使用するアドレスを生成することを特徴とする請求項2記載のインターリーブ回路。

【請求項4】 アドレス生成手段は、 $(N/2) \cdot (I+1)$ バイトのメモリ領域のみにアクセスするアドレスを生成することを特徴とする請求項1記載のインターリーブ回路。

【請求項5】 アドレス生成手段は、長方形のメモリ領域を使用するアドレスを生成することを特徴とする請求項4記載のインターリーブ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は多相フェーズシフトキーイング(PSK)、多値直行振幅変調(QAM)などのデジタル伝送において必要とされるインターリーブ回路に関するものである。

【0002】

【従来の技術】 近年、デジタル信号処理による映像信号の帯域圧縮技術の進歩に伴い、デジタルデータの伝送が通信分野だけでなく、放送分野にまで広く普及する可能性があります。高くなってきており、QPSK、16QAMなどのデジタル伝送用の誤り訂正装置は必須の技術となってきた。

【0003】 ところで、伝送路のランダム誤りに対しては、RS(リード・ソロモン)等の線形な誤り訂正符号が使用される。しかしながら、一定区間に渡って誤りが連続するバースト誤りに対しては、1符号語内に誤りが集中し、誤り訂正能力を越えて訂正が不可能になる。これに対処するために、訂正能力を高めようとすると、回路規模が大きくなったり、符号効率が悪くなって実質伝送速度が低くなり、帯域圧縮の効果を薄れさせてしまう。

【0004】 符号効率を一定のまま、バースト誤りに対する訂正能力の高い符号を得る方法としては、交錯法(インターリーピング)がある。

【0005】 以下図面を参照しながら、従来のインターリーブ回路の一例について説明する。

【0006】 図5はシフトレジスタを用いて構成された従来のインターリーブ回路のブロック図である。図5において、51はデータ入力端子、52はデータ出力端子である。いま、インターリーブすべきバイト間隔をNバイト、インターリーブの深さをI、 $M=N/I$ とすると、チャンネル(以下、chと表記)2, 3, 4, ..., IにはそれぞれM段、2M段、3M段、..., $(I-1) \cdot M$ 段のシフトレジスタ53-1, 53-2, 53-3, ..., 53-(I-1)が設けられている。

【0007】 以上のように構成されたインターリーブ回路について、以下その動作を説明する。

【0008】 入力データが入力端子51から入力され、入力端子51は1番目のデータをch-1に、2番目のデータをch-2に、以下同様にして、I番目のデータをch-Iに送り、 $(I+1)$ 番目のデータを再びch-1に、 $(I+2)$ 番目のデータをch-2に送り、以下送られてきた入力データを同様に各chに振り分ける。

【0009】 出力端子52は、入力端子51と同じクロックのタイミングで(入力端子51に同期して)、ch-1, 2, 3, ..., Iに順次接続し、出力データを取り出す。シフトレジスタ53-1~53-(I-1)は、各々のchに入力端子51及び、出力端子52が接続された時のみデータをシフトする。すなわち、各chのシフトレジスタ53-1~53-(I-1)は、入力データの $1/I$ の速度で動作する。

【0010】 いま、Nバイトのデータの集合をフレームと呼ぶと、 $M=N/I$ の関係より、段数の異なるシフトレジスタ53-1~53-(I-1)を通過して出て来た出力データ(ch-2, 3, 4, ..., Iの出力データ)については、ch-1の出力データに対して、それぞれ1フレーム(Nバイト)、2フレーム(2Nバイト)、3フレーム(3Nバイト)、..., $(I-1)$ フレーム($(I-1) \cdot N$ バイト)の遅れが生じている。

【0011】 また、インターリーブ回路については、図5のインターリーブ回路において、ch-1~ch-Iのシフトレジスタ53-1~53-Iの段数を逆にした構成となり、そのブロック図は図6の通りである。

【0012】 実際にインターリーブ回路を構成する場合、インターリーブすべきバイト間隔Nが極端に短い場合には、図5に示したようにシフトレジスタを用いることも行われるが、インターリーブすべきバイト間隔Nが長くなったり、インターリーブの深さIが大きくなると素子数が増大してコスト的に負担がかかるので、読み書き可能なメモリとカウンタとの組み合わせで等価な回路を構成することが多い。

【0013】 図7は、メモリを用いて構成されたインターリーブ回路の従来のメモリ領域の使用法を説明した図である。(例えば、文献「大久保、今井：」誤り訂正符号の交錯法について」, 信学論(A), vol. J64-A, No. 5, pp. 363-370, (昭56-05)」, また特開昭59-154836号公

報)。図7においては例として、インターリーブすべきバイト間隔(フレーム長) $N=18$ 、インターリーブの深さ $I=6$ 、 $M=N/I=3$ の場合を示している。また、メモリ領域を表す長方形の上方には、 ch の番号が記されている。入力データは、 $A1, A2, \dots, A18: B1, B2, \dots, B18: \dots$ の順に書き込まれ、1つの行には1つのフレームのデータが書き込まれる。

【0014】図7(a)は、入力データ $A1, A2, \dots, F18$ まで書き込まれた時のメモリ領域を表している。インターリーブ回路においては、図5に示したように、 $ch-1$ のデータは遅延なく伝送され、 $ch-2, 3, \dots, 6$ のデータは $ch-1$ のデータに対して、それぞれ1フレーム(N バイト)、2フレーム($2N$ バイト)、 \dots 、5フレーム($5N$ バイト)前のデータがメモリから読み出される。従って、符号語 $F1, F2, \dots, F18$ が書き込まれるときには、図7(a)で丸印を付けたデータが斜めの矢印の順番で読み出される。よって、出力系列(インターリーブされたデータ)は、 $F1, E2, D3, C4, B5, A6, F7, E8, D9, C10, B11, A12, F13, E14, D15, C16, B17, A18$ となり、また $M=3$ なので、図のように3つのブロックに分けられる。

【0015】図7(b)は、続いて符号語 $G1, G2, \dots, G18$ が書き込まれる場合を示している。この時、図中の丸印が付けられたデータが斜めの矢印の順番に読み出される。図中のX印が付いたデータは符号語 $F1, F2, \dots, F18$ が書き込まれた時に読み出されたデータで、この時点ではすでに不要になったデータである。

【0016】以下同じように考えていくと、インターリーブに本来必要なメモリ領域は、図7(c)の斜線を付けた外側の階段状の領域である。更に、データの読み出しを先に行い、その後で読み出されたデータと同じアドレス位置にその ch の入力データを書き込むことにすると、各 ch の各ブロック毎に必要なメモリ領域は1つずつ減ることになり、この場合に必要なメモリ領域は、図7(c)の内側の方の階段状の領域である。

【0017】

【発明が解決しようとする課題】上記のような従来の構成では、図7(c)に示すように本来インターリーブに不必要なメモリ領域があり、本来必要な(必要最小限の)メモリ領域に対して2倍以上のメモリ領域を使用しているという問題点を有していた。

【0018】本発明は上記従来の問題点を解決するもので、アドレス生成の方法を工夫することにより、従来の構成と比較して使用するメモリ領域を半分以下にするインターリーブ回路を提供し、または従来の構成と同じ大きさのメモリ領域を使用した場合に、インターリーブの深さを2倍以上に取ることにより、バースト誤りに対する拡散能力を2倍以上に高めるインターリーブ回路を提供することを目的とする。

【0019】

【課題を解決するための手段】この目的を達成するために、請求項2の本発明のインターリーブ回路は、インターリーブすべきバイト間隔を N バイト、インターリーブの深さを I とすると、デジタル信号を読み書き可能なメモリと、 $(N/2) \cdot (I-1)$ バイトのメモリ領域のみにアクセスするためのアドレスを生成するアドレス生成手段と、メモリ及び、アドレス生成手段を制御するタイミングを調整する制御タイミング調整手段とを備えた構成を有している。

【0020】請求項4の本発明のインターリーブ回路は、インターリーブすべきバイト間隔を N バイト、インターリーブの深さを I とすると、デジタル信号を読み書き可能なメモリと、 $(N/2) \cdot (I+1)$ バイトのメモリ領域のみにアクセスするためのアドレスを生成するアドレス生成手段と、メモリ及び、アドレス生成手段を制御するタイミングを調整する制御タイミング調整手段とを備えた構成を有している。

【0021】

【発明の実施の形態】この構成によって、請求項2の本発明は制御タイミング調整手段がメモリ及び、アドレス生成手段を制御するタイミングを調整し、必要最小限のメモリ領域でインターリーブを行うアドレス生成法を有するアドレス生成手段がメモリにアクセスするためのアドレスを生成することにより、必要最小限のメモリ領域でインターリーブを行うことができる。

【0022】請求項4の本発明は制御タイミング調整手段がメモリ及び、アドレス生成手段を制御するタイミングを調整し、請求項2よりも若干大きいメモリ領域でインターリーブを行うアドレス生成法を有するアドレス生成手段がメモリにアクセスするためのアドレスを生成することにより、請求項2よりも若干大きいだけのメモリ領域でインターリーブを行うことができる。

【0023】

【実施例】

(実施例1)以下本発明の一実施例について、図面を参照しながら説明する。

【0024】図1は、本発明にかかる一実施例のインターリーブ回路のブロック図を示すものである。図1のインターリーブ回路において、デジタル信号を入力する入力端子1が設けられ、その入力端子1の一方には、入力データを出力するタイミングを調整する出力タイミング調整手段8を介して入力データを書き込むための書き込み手段6が、他方には読み書き可能なメモリ3及び、アドレス生成手段4を制御するタイミングを調整する制御タイミング調整手段5が接続されている。その制御タイミング調整手段5は出力端子2に接続されている。

【0025】上述のメモリ3には、上述の書き込み手段6及び、メモリ3に書き込まれたデータを制御タイミング調整手段5に出力するための読み出し手段7が接続さ

れている。書き込み手段6および、読み出し手段7には、メモリ3にアクセスするためのアドレスを生成するアドレス生成手段4が接続されている。

【0026】上述のアドレス生成手段4には、アドレスの上位ビットを生成する上位アドレス生成手段10、下位ビットを生成する下位アドレス生成手段9及び、生成されたアドレスを出力するタイミングを調整する出力タイミング調整手段13が設けられ、その上位アドレス生成手段10は読み出し手段7及び、出力タイミング調整手段13を介して書き込み手段6に接続され、その下位アドレス生成手段9には、インターリーブの深さ(chの数)の数だけのカウンタを有するカウンタ群11とそのカウンタ群11のカウンタ値のうちの1つを選択する下位アドレスセクタ12が設けられ、そのカウンタ群11は、下位アドレスセクタ12の入力端子に接続され、その下位アドレスセクタ12は読み出し手段7及び、出力タイミング調整手段13を介して書き込み手段13に接続されている。

【0027】上述の制御タイミング調整手段5には、メモリ3及び、アドレス生成手段4を制御するためのセレクト信号を発生するセレクト信号発生手段14と、上述のカウンタ群11を制御するカウンタ制御手段16と、メモリ3のアクセス可及び、不可を制御するメモリ制御手段15と、メモリ3から読み出されたデータと入力端子1からメモリ3を介さずに伝送されてきたデータのどちらか一方を選択するデータセクタ17とが設けられ、そのセレクト信号発生手段14には、下位アドレスセクタ12の選択信号入力端子、カウンタ制御手段16及び、メモリ制御手段15が接続され、そのカウンタ制御手段16にはカウンタ群11が接続され、そのメモリ制御手段15にはメモリ3とデータセクタ17の選択信号入力端子が接続され、そのデータセクタ17の入力端子の一方には読み出し手段7が、他方には入力端子1が接続され、そのデータセクタ17の出力端子には出力端子2が接続され、インターリーブされたデータが出力される。

【0028】次に、以上のように構成されたインターリーブ回路の動作について説明する。図2は、本発明のメモリ領域使用法の一例である。従来例の図7と比較を行うため、図7と同様に、インターリーブすべきバイト間隔(フレーム長) $N=18$ 、インターリーブの深さ $I=6$ 、 $M=N/I=3$ の場合を示している。図7(c)に示した、各chに本来必要な最小限のメモリ領域(内側の階段状の領域)の対称性を利用し、各chのメモリ領域を図2のように与える。すなわち、メモリ領域の各行(上位アドレスが同じ領域)に対して、1行目にはch-6、2行目にはch-2とch-5、3行目にはch-3とch-4のメモリ領域を与え、ch-1のデータはメモリ3にアクセスせずに出力するものとする。このようなメモリ領域の構成によって、インターリーブに本来必要

な最小限のメモリ領域を長方形に構成できる。

【0029】カウンタ群11において、カウンタ2(ch-2用)は0~2のカウンタ値をとるアップ・カウンタ、カウンタ3(ch-3用)は0~5のカウンタ値をとるアップ・カウンタ、カウンタ4(ch-4用)は6~14のカウンタ値をとるアップ・カウンタ、カウンタ5(ch-5用)は3~14のカウンタ値をとるアップ・カウンタ、カウンタ6(ch-6用)は0~14のカウンタ値をとるアップ・カウンタ、またカウンタ1(ch-1用)は常に値0を出力するものとする。

【0030】まず、入力データが入力端子1より入力され、一方は出力タイミング調整手段8を介して書き込み手段6に、他方はデータセクタ17の一方の入力端子に伝送される。セレクト信号発生手段14は、入力データと同期して、その入力データのchを表すセレクト信号(sel1~sel6)を発生し、そのセレクト信号は下位アドレスセクタ12、カウンタ制御手段16及び、メモリ制御手段15に伝達される。このセレクト信号により、カウンタ群11におけるカウンタ1~6のうち、入力データに対応するchのカウンタ値が下位アドレスセクタ12により選択される。また、上位アドレス生成手段10は入力データと同期して、0(ch-1)→1(ch-2)→2(ch-3)→2(ch-4)→1(ch-5)→0(ch-6)→0(ch-1)→1(ch-2)→…の値を出力するアップ・ダウンカウンタとする。そして、下位アドレスセクタ12で選択されたカウンタ値がアドレスの下位ビット、上位アドレス生成手段10から出力された値をアドレスの上位ビットとしてアドレスが構成され、そのアドレスが出力タイミング調整手段13を介して書き込み手段5に伝送され、読み出し手段7には出力タイミング調整手段を介さずに伝送される。

【0031】出力タイミング調整手段8、13が行うタイミング調整により、アドレス生成手段4により生成されたアドレスがまず読み出し手段7に出力され、指定されたアドレス位置のデータ(例えばch-2のデータ)が読み出され、データセクタ17の一方の入力端子に出力される。その後、同じアドレスが書き込み手段6に出力され、入力端子1から出力タイミング調整手段8を通ってきた入力データ(ch-2のデータ)がそのアドレス位置に書き込まれる。ただし、メモリ制御手段15はセレクト信号発生手段14から発生されたセレクト信号(sel1~sel6)を基に、sel1が伝送された場合は、データ書き込み時にはメモリ3に書き込み不可の信号を、データ読み出し時には読み出し不可の信号を伝送し、またこのメモリ制御手段15は、データセクタ17の選択信号入力端子に、入力端子1からメモリ3にアクセスせずに伝送されたデータを選択する信号を伝送する。逆に、メモリ制御手段15にsel2~sel6が伝送された場合は、メモリ制御手段15は、デー

タ書き込み時にはメモリ3に書き込み可の信号を、データ読み出し時には読み出し可の信号を伝送し、また、このメモリ制御手段15は、データセクタ17の選択信号入力端子には、メモリ3から読み出されたデータを選択する信号を伝送する。

【0032】従って、ch-2～ch-6のデータに対しては、まずメモリ3から指定されたアドレス位置のデータ（例えばch-2のデータ）を読み出し、そのデータをデータセクタ17で選択して出力端子2に出力し、その後、メモリ3に入力データ（ch-2のデータ）を書き込む。また、ch-1のデータに対しては、メモリ3に対して書き込み、読み出しは行わずに、入力端子1からメモリ3を介さずに伝送されたデータがデータセクタ17で選択されて、出力端子2にそのデータを出力する。

【0033】また、カウンタ制御手段16は、そのchのデータが読み出され、入力データが書き込まれた後、セレクト信号発生手段14から発生されたセレクト信号（sel1～sel6）を基に、そのchのカウンをインクリメントする。

【0034】次に、図1のインターリーブ回路における上述の動作によって、図2のメモリ領域使用法が、図7の従来のメモリ領域使用法と同じ出力系列（インターリーブされたデータ）を出力することを説明する。なお、図2において、矢印は書き込まれるデータを示す。

【0035】図2（a）は、入力データA1, A2, …, A18がメモリ3に書き込まれた場合を示している。次の入力データB1, B2, …, B18を書き込む場合は、図2（b）に示すように、まず指定されたアドレス位置のデータを読み出し、その後で同じアドレス位置に入力データを書き込む（例えば、ch-2においては、まずA2を読み出してから、次のクロックで、B2を書き込む。なお、その他のchについては、この時点では、指定されたアドレス位置に読み出すべきデータがない。）。以下、B1, B2, …, B18: C1, C2, …, C18までメモリ3にデータが書き込まれた状態が図2（c）、D1, D2, …, D18までメモリ3にデータが書き込まれた状態が図2（d）、E1, E2, …, E18までメモリ3にデータが書き込まれた状態が図2（e）である。続いて、F1, F2, …, F18までメモリに書き込まれた状態が図2（f）である。上述の通り、まず指定されたアドレス位置のデータを読み出し、その後で同じアドレス位置に入力データを書き込むので（ただし、ch-1のデータは、メモリ3にアクセスせずにデータセクタ17を通して出力される）、F1, F2, …, F18を書き込むときに読み出されるデータは、F1, E2, D3, C4, B5, A6, F7, E8, D9, C10, B11, A12, F13, E14, D15, C16, B17, A18となり、図7（a）の従来法の場合と同じ出力系列になる。

【0036】以上のように本実施例によれば、アドレス生成手段4、制御タイミング生成手段5内のセレクト信号発生手段14、メモリ制御手段15、カウンタ制御手段16、データセクタ17を組み合わせる構成により、最小限のメモリ領域を使用するアドレス生成を行うので、インターリーブに使用するメモリ領域を従来法の半分以下に削減できる。具体的には、メモリ領域使用量は、従来法の場合、図7に示すように $18 \times 6 = 108$ であるのに対し、本発明では、図2に示すように $15 \times 3 = 45$ である。一般には、使用するメモリ領域は、従来法の場合が $N \cdot I$ バイトであるのに対し、本発明では、 $(N/2) \cdot (I-1)$ バイトである（この実施例の場合、 $N=18$, $I=6$, $M=N/1=3$ である。）。

【0037】従って、本発明は、従来法で使用していたメモリの半分以下の容量を有するメモリでインターリーブが可能となる。

【0038】また、本発明において、従来法と同じメモリ量を有するメモリを使用した場合、インターリーブの深さを2倍以上に大きくするインターリーブ回路を構成できるので、バースト誤りに対する拡散能力を2倍以上に高めることができ、音声通信、データ通信、画像通信などを統一に行う来たるべきマルチメディア社会において要求される、品質の良い情報伝送が可能になる。

【0039】また、大きな容量を有し、他の用途に使用しているメモリの一部分の領域を使用してインターリーブを行う場合、本発明では、従来法で使用していたメモリ領域の半分以下で、かつ長方形のメモリ領域を使用するので、空いたメモリ領域を他の用途に使用することができ、更にその用途に使用する際のアドレス生成も容易になる。

【0040】（実施例2）次に、他の実施例として、ch-1のデータもメモリに対して書き込み、読み出しを行い、データセクタを不要としたインターリーブ回路について、以下図面を参照しながら説明する。

【0041】図3は、本発明の第2の実施例を示すインターリーブ回路のブロック図を示すものである。図3のインターリーブ回路において、ディジタル信号を入力する入力端子1、読み書き可能なメモリ3、メモリ3にアクセスするためのアドレスを生成するアドレス生成手段31、メモリ3及びアドレス生成手段31を制御するタイミングを調整する制御タイミング調整手段32、アドレス生成手段31によって生成されたアドレスに従ってデータを書き込む書き込み手段6、データを読み出す読み出し手段7及び、データを出力する出力端子2が設けられ、その入力端子1には書き込み手段6が接続され、そのメモリ3には、書き込み手段6及び、読み出し手段7が接続され、その書き込み手段6及び、読み出し手段7には、アドレス生成手段31が接続され、また読み出し手段7には出力端子2が接続されている。

【0042】上述のアドレス生成手段31には、アドレスの上位ビットを生成する上位アドレス生成手段34、下位ビットを生成する下位アドレス生成手段33及び、生成されたアドレスを出力するタイミングを調整する出力タイミング調整手段13が設けられ、その下位アドレス生成手段33には、読み出しアドレスの下位ビットを生成する下位読み出しアドレス生成手段35及び、書き込みアドレスの下位ビットを生成する下位書き込みアドレス生成手段36が設けられている。

【0043】上述の下位読み出しアドレス生成手段35には、インターリーブの深さ(chの数)の数だけのカウンタを有するカウンタ群37とそのカウンタ群37のカウンタ値のうちの1つを選択する下位読み出しアドレスセクタ38が設けられ、そのカウンタ群37は、下位読み出しアドレスセクタ38の入力端子に接続され、その下位読み出しアドレスセクタ38は出力タイミング調整手段13を介して読み出し手段7に接続されている。

【0044】また、上述の下位書き込みアドレス生成手段36には、インターリーブの深さ(chの数)の数だけのカウンタを有するカウンタ群39とそのカウンタ群39のカウンタ値のうちの1つを選択する下位書き込みアドレスセクタ40が設けられ、そのカウンタ群39は、下位書き込みアドレスセクタ40の入力端子に接続され、その下位書き込みアドレスセクタ40は書き込み手段6に接続されている。

【0045】また、上述の制御タイミング調整手段32には、アドレス生成手段31を制御するためのセレクト信号を発生するセレクト信号発生手段14と、上述のカウンタ群37、39を制御するカウンタ制御手段41とが設けられ、そのセレクト信号発生手段14には、下位読み出しアドレスセクタ38の選択信号入力端子、下位書き込みアドレスセクタ40の選択信号入力端子及び、カウンタ制御手段41が接続され、そのカウンタ制御手段41にはカウンタ群37、39が接続されている。

【0046】次に、以上のように構成されたインターリーブ回路の動作について説明する。図4は、本発明の第2の実施例のメモリ領域使用法の一例である。従来例の図7と比較を行うため、図7と同様に、インターリーブすべきバイト間隔(フレーム長) $N=18$ 、インターリーブの深さ $I=6$ 、 $M=N/I=3$ の場合を示している。ch-1のデータもメモリ3に対して書き込み、読み出しを行い、データセクタを不要とするため、図7(c)に示した、外側の階段状の領域の対称性を利用し、各chのメモリ領域を図4のように与える。すなわち、メモリ領域の各行(上位アドレスが同じ領域)に対して、1行目にはch-1とch-6、2行目にはch-2とch-5、3行目にはch-3とch-4のメモリ領域を与える。このようなメモリ領域の構成によって、イ

ンターリーブに必要なメモリ領域を長方形に構成できる。

【0047】カウンタ群39において、カウンタ1(ch-1用)は0~2のカウンタ値をとるアップ・カウンタ、カウンタ2(ch-2用)は0~5のカウンタ値をとるアップ・カウンタ、カウンタ3(ch-3用)は0~8のカウンタ値をとるアップ・カウンタ、カウンタ4(ch-4用)は9~20のカウンタ値をとるアップ・カウンタ、カウンタ5(ch-5用)は6~20のカウンタ値をとるアップ・カウンタ、カウンタ6(ch-6用)は3~20のカウンタ値をとるアップ・カウンタとする。

【0048】また、カウンタ群37において、カウンタ1(ch-1用)は0~2のカウンタ値をとるアップ・カウンタ、カウンタ2(ch-2用)は3~5→0~2のカウンタ値をとるカウンタ、カウンタ3(ch-3用)は3~8→0~2のカウンタ値をとるカウンタ、カウンタ4(ch-4用)は12~20→9~11のカウンタ値をとるカウンタ、カウンタ5(ch-5用)は9~20→6~8のカウンタ値をとるカウンタ、カウンタ6(ch-6用)は6~20→3~5のカウンタ値をとるカウンタとする。

【0049】まず、入力データが入力端子1より入力され、書き込み手段6に伝送される。セレクト信号発生手段14は、入力データと同期して、その入力データのchを表すセレクト信号(sel1~sel6)を発生し、そのセレクト信号は下位読み出しアドレスセクタ38、下位書き込みアドレスセクタ40及び、カウンタ制御手段41に伝達される。このセレクト信号により、カウンタ群37、39におけるカウンタ1~6のうち、入力データに対応するchのカウンタ値が下位読み出しアドレスセクタ38、下位書き込みアドレスセクタ40により選択される。また、上位アドレス生成手段34は入力データと同期して、0(ch-1)→1(ch-2)→2(ch-3)→2(ch-4)→1(ch-5)→0(ch-6)→0(ch-1)→1(ch-2)→…の値を出力するアップ・ダウンカウンタとする。そして、上位アドレス生成手段34から出力された値を書き込みアドレス、読み出しアドレスの上位ビット、下位書き込みアドレスセクタ40で選択されたカウンタ値を書き込みアドレスの下位ビット、下位読み出しアドレスセクタ38で選択されたカウンタ値を読み出しアドレスの下位ビットとして書き込み及び、読み出しアドレスが構成され、その読み出しアドレスが出力タイミング調整手段13を介して読み出し手段7に伝送され、その書き込みアドレスが書き込み手段6に伝送される。

【0050】出力タイミング調整手段13が行うタイミング調整により、アドレス生成手段31により生成された書き込みアドレスがまず書き込み手段6に出力され、

アドレスの下位ビットとする構成としてもよく、 $a \times b$ で表される2次元メモリを使用する場合には、一方を行アドレス、他方を列アドレスとする構成としてもよい。

【0061】また、上記実施例1、2では、各chに対する長方形のメモリ領域の与え方を図2、4のように行ったが、この与え方のみに限定されるものではなく、各chのメモリ領域の対称性を利用して、全体としてメモリ領域を長方形に構成してもよい。

【0062】また、上記実施例1では、全体のメモリ領域の与え方を図2のように長方形としたが、この形状のみに限定されるものではなく、各chに与えるメモリ領域の大きさが実施例1と等しく、そのメモリ領域の形状に対応するアドレスをアドレス生成手段4で生成する構成とすれば、階段状や、他の形状でもよい。

【0063】また、上記実施例2では、全体のメモリ領域の与え方を図4のように長方形としたが、この形状のみに限定されるものではなく、各chに与えるメモリ領域の大きさが実施例2と等しく、書き込みアドレスと読み出しアドレスの互いの関係が上記実施例2と対応していれば、階段状や、他の形状でもよい。

【0064】また、上記実施例2においては、使用するメモリ領域を $(N/2) \cdot (I+1)$ バイトとしたが、各chに与えるメモリ領域を等しい容量ずつ増加させ、カウンタ群37、39を、書き込みデータに対応する読み出しデータを出力するカウンタ値を出力する構成とすれば、使用するメモリ領域は $N \cdot I$ バイト未満の範囲で、 $(N/2) \cdot (I+1)$ バイト以上としてもよい。

【0065】また、上記実施例1、2では、符号語長 $N=18$ 、インターリーブの深さ $I=6$ 、 $M=N/1=3$ としたが、これらの値のみに限定されるものではない。

【0066】また、上記実施例1、2におけるバイトという単位は必ずしも8ビットに限らず、ある一定のビットの組をを一組とした単位である。

【0067】また、上記実施例1、2では、インターリーブ回路を専用のハードウェアにより構成したが、これに限らず、同様の機能をコンピュータを用いてソフトウェア的に実現しても勿論よい。

【0068】

【発明の効果】以上のように本発明は、アドレス生成の方法を工夫することにより、従来のインターリーブ回路と比較して、使用するメモリ領域を半分以下にする優れたインターリーブ回路を実現でき、また従来のインターリーブ回路と同じメモリ領域を使用した場合に、インターリーブの深さを2倍以上に大きくするインターリーブ回路を構成できるので、バースト誤りに対する拡散能力を2倍以上に高めることができる優れたインターリーブ回路を実現できるものである。

【図面の簡単な説明】

【図1】本発明の一実施例（実施例1）のインターリーブ回路のブロック図

【図2】同実施例のメモリ領域の使用法の一例の説明図

【図3】他の実施例（実施例2）のインターリーブ回路のブロック図

【図4】同実施例のメモリ領域の使用法の一例の説明図

【図5】シフトレジスタを用いて構成した従来のインターリーブ回路のブロック図

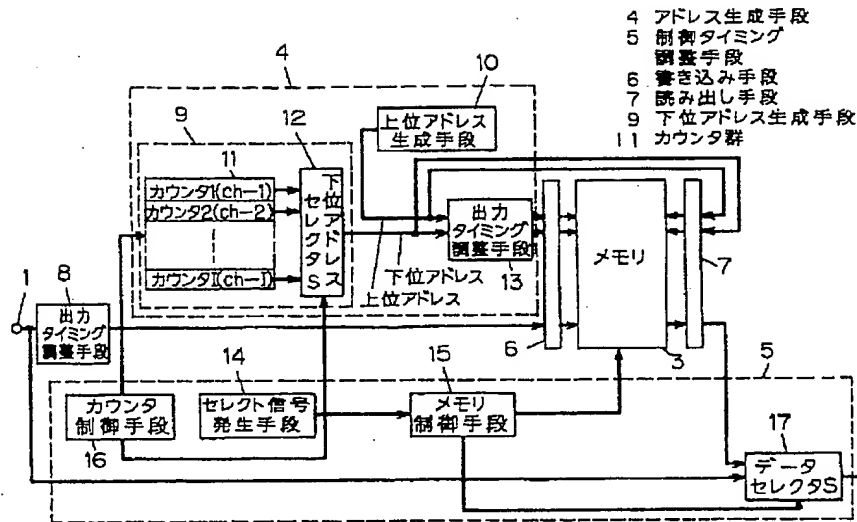
【図6】シフトレジスタを用いて構成した従来のデインターリーブ回路のブロック図

【図7】メモリを用いて構成されたインターリーブ回路の従来のメモリ領域の使用法の説明図

【符号の説明】

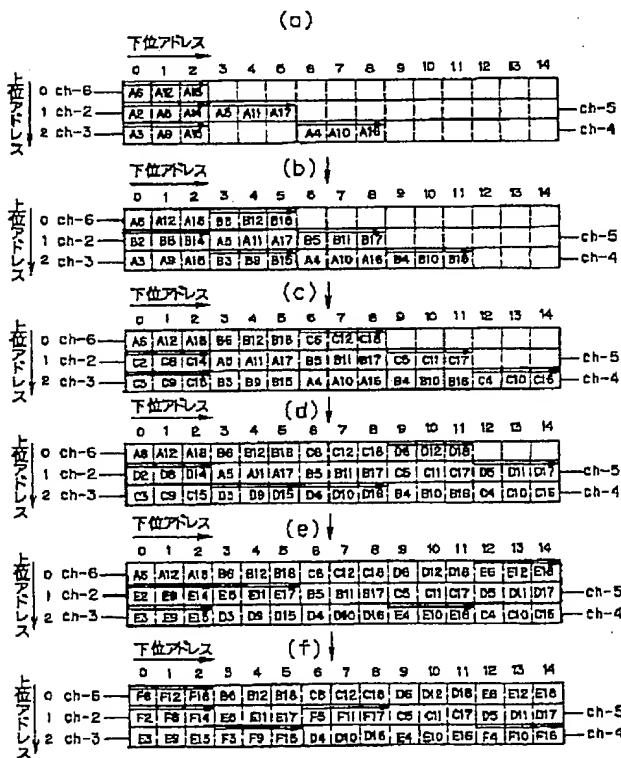
- 1 入力端子
- 2 出力端子
- 3 メモリ
- 4 アドレス生成手段
- 5 制御タイミング生成手段
- 6 書き込み手段
- 7 読み出し手段
- 8 出力タイミング調整手段
- 9 下位アドレス生成手段
- 10 上位アドレス生成手段
- 11 カウンタ群
- 12 下位アドレスセクタ
- 13 出力タイミング調整手段
- 14 セレクト信号発生手段
- 15 メモリ制御手段
- 16 カウンタ制御手段
- 17 データセクタ
- 31 アドレス生成手段
- 32 制御タイミング生成手段
- 33 下位アドレス生成手段
- 34 上位アドレス生成手段
- 35 下位読み出しアドレス生成手段
- 36 下位書き込みアドレス生成手段
- 37 カウンタ群
- 38 下位読み出しアドレスセクタ
- 39 カウンタ群
- 40 下位書き込みアドレスセクタ
- 41 カウンタ制御手段
- 51 データ入力端子
- 52 データ出力端子
- 53 シフトレジスタ
- 61 データ入力端子
- 62 データ出力端子
- 63 シフトレジスタ

【図1】



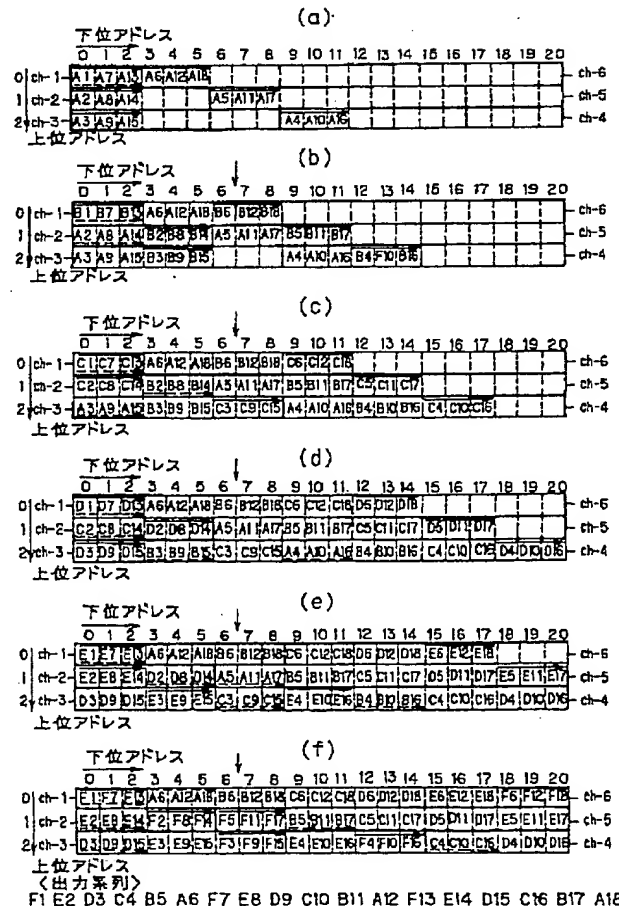
- 4 アドレス生成手段
5 制御タイミング調整手段
6 書き込み手段
7 読み出し手段
9 下位アドレス生成手段
11 カウンタ群

【図2】

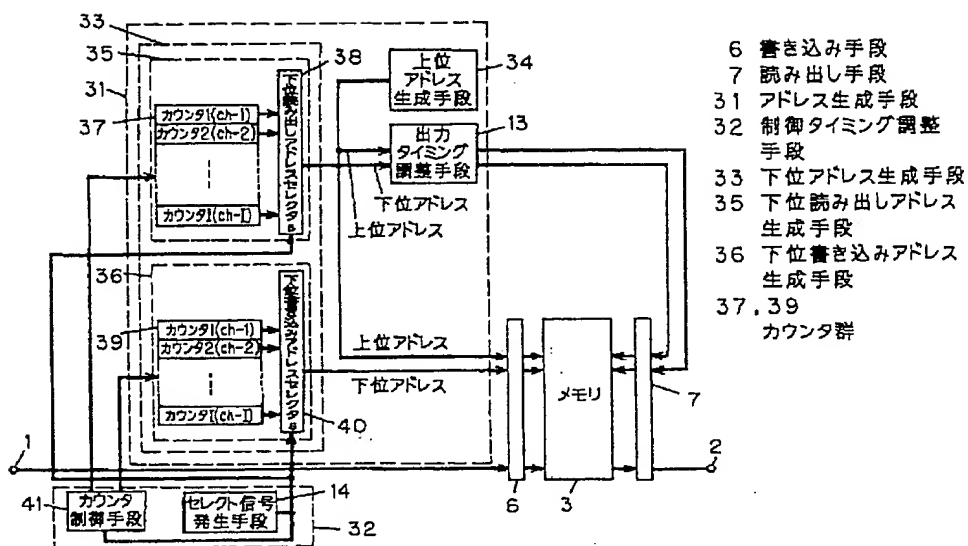


＜出力系列＞
F1 E2 D3 C4 B6 A6 F7 E8 D9 C10 B11 A12 F13 E14 D15 C16 B17 A18

【図4】

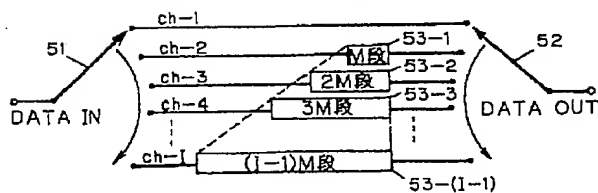


【図3】



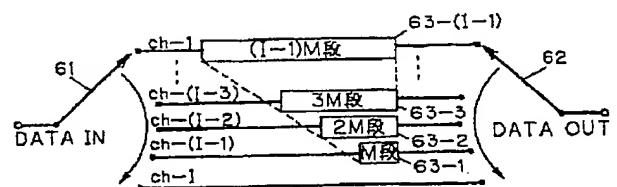
【図5】

- 51 データ入力端子
52 データ出力端子
53 シフトレジスタ



【図6】

- 61 データ入力端子
62 データ出力端子
63 シフトレジスタ



【図7】

